

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

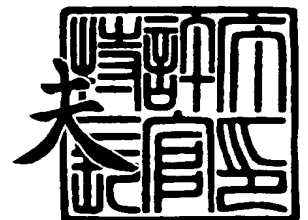
出 願 番 号 特 願 2 0 0 3 - 0 2 3 6 6 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 3 6 6 9]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特 長 官
Coml. ner,
Japan at Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0436001

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 鳥海 裕一

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 森田 晶

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示ドライバ、表示装置及び表示駆動方法

【特許請求の範囲】

【請求項 1】 各走査線が各行に設けられた複数の走査線と交差し各データ線が各列に設けられた複数のデータ線を駆動する表示ドライバであって、

前記複数の走査線のうち描画先頭行に対応する走査線を指定するための描画先頭行指定レジスタと、

前記複数のデータ線のうち少なくとも 1 つのデータ線に階調データに対応した駆動電圧を供給する通常表示モード又は前記少なくとも 1 つのデータ線に所与のパーシャル非表示電圧を供給するパーシャル非表示モードを、走査線に対応して設定するためのパーシャルモード設定レジスタと、

前記駆動電圧に基づいて前記少なくとも 1 つのデータ線を駆動するためのオペアンプ部と、前記所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動するためのパーシャル非表示電圧出力部とを有するデータ線駆動回路と、

前記データ線駆動回路の駆動制御を行うパーシャル表示制御部とを含み、

前記パーシャル表示制御部は、

前記描画先頭行指定レジスタによって指定された走査線を描画先頭行する描画行に対応した走査線に対し前記通常表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部により前記駆動電圧に基づいて前記少なくとも 1 つのデータ線を駆動し、

前記描画行に対応した走査線に対し前記パーシャル非表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止すると共に前記パーシャル非表示電圧出力部により前記所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動するように制御することを特徴とする表示ドライバ。

【請求項 2】 請求項 1 において、

前記パーシャルモード設定レジスタには、

前記通常表示モード又は前記パーシャル非表示モードが、前記複数の走査線が分割された複数のブロックの各ブロックに対応して設定され、

前記パーシャル表示制御部は、

前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を含むブロックが前記通常表示モードに設定されているとき、該走査線の選択期間において、前記オペアンプ部により前記駆動電圧に基づいて前記少なくとも 1 つのデータ線を駆動し、

前記描画行に対応した走査線を含むブロックが前記パーシャル非表示モードに設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止すると共に前記パーシャル非表示電圧出力部により前記所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動するように制御することを特徴とする表示ドライバ。

【請求項 3】 請求項 1 又は 2 において、

水平走査期間を規定する水平同期信号に基づき描画行カウント値をインクリメントする描画行カウンタを含み、

前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行が、前記描画行カウント値により求められることを特徴とする表示ドライバ。

【請求項 4】 請求項 3 において、

垂直走査期間を規定する垂直同期信号に基づいてバックポーチカウント値をリセットし、前記水平同期信号に基づいてバックポーチカウント値をインクリメントするバックポーチカウンタと、

前記描画先頭行指定レジスタの設定値と、前記バックポーチカウント値とを比較する比較器とを含み、

前記描画行カウンタは、

前記比較器により前記描画先頭行指定レジスタの設定値と前記バックポーチカウント値とが一致したときに出力される信号に基づいて生成されるバックポーチ終了信号により描画行カウント値をリセットし、前記水平同期信号に基づき描画行カウント値をインクリメントすることを特徴とする表示ドライバ。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、
前記パーシャル非表示電圧は、
前記階調データの最上位ビットに対応した電圧であることを特徴とする表示ドライバ。

【請求項 6】 各走査線が各行に設けられた複数の走査線と、
前記複数の走査線と交差し各データ線が各列に設けられた複数のデータ線と、
複数の画素と、
前記複数のデータ線を駆動する請求項 1 乃至 5 のいずれか記載の表示ドライバと、
前記複数の走査線を走査する走査ドライバとを含むことを特徴とする表示装置。

【請求項 7】 各走査線が各行に設けられた複数の走査線と、前記複数の走査線と交差し各データ線が各列に設けられた複数のデータ線と、複数の画素とを含む表示パネルと、
前記複数のデータ線を駆動する請求項 1 乃至 5 のいずれか記載の表示ドライバと、
前記複数の走査線を走査する走査ドライバとを含むことを特徴とする表示装置。

【請求項 8】 各走査線が各行に設けられた複数の走査線と交差し各データ線が各列に設けられた複数のデータ線を駆動する表示駆動方法であって、
前記複数の走査線のうち描画先頭行に対応する走査線を指定し、
指定された走査線を描画先頭行とする描画行に対応した走査線に対して通常表示モードが設定されているとき、該走査線の選択期間において、オペアンプ部により前記複数のデータ線のうち少なくとも 1 つのデータ線に階調データに対応した駆動電圧を供給すると共に、前記描画行に対応した走査線に対してパーシャル非表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止してパーシャル非表示電圧出力部により所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動することを特徴とする表示駆動方法。

【請求項 9】 請求項 8 において、

前記複数の走査線が分割された複数のブロックの各ブロック単位に、前記通常表示モード又は前記パースシャル非表示モードを設定し、

前記オペアンプ部は、

前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を含むブロックが前記通常表示モードに設定されているとき、該走査線の選択期間において、前記駆動電圧に基づいて前記少なくとも 1 つのデータ線を駆動すると共に、前記描画行に対応した走査線を含むブロックが前記パースシャル非表示モードに設定されてるとき、該走査線の選択期間において、その動作電流が制限又は停止され、

前記パースシャル非表示電圧出力部は、

前記ブロックが前記パースシャル非表示モードに設定されているとき、前記描画行に対応した走査線の選択期間において、前記所与のパースシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動することを特徴とする表示駆動方法。

【請求項 10】 請求項 8 又 9 において、

前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を、水平走査期間を規定する水平同期信号に基づきインクリメントする描画行カウント値により求めることを特徴とする表示駆動方法。

【請求項 11】 請求項 10 において、

垂直走査期間を規定する垂直同期信号に基づいてバックポーチカウント値をリセットすると共に前記水平同期信号に基づいてバックポーチカウント値をインクリメントし、

前記描画先頭行指定レジスタの設定値と、前記バックポーチカウント値とを比較し、

前記描画先頭行指定レジスタの設定値と前記バックポーチカウント値とが一致したときに出力される信号に基づいて生成されるバックポーチ終了信号によりリ描画行カウント値をリセットすると共に、前記水平同期信号に基づき描画行カウント値をインクリメントすることを特徴とする表示駆動方法。

【請求項 1 2】 請求項 8 乃至 1 1 のいずれかにおいて、
前記パーシャル非表示電圧は、
前記階調データの最上位ビットに対応した電圧であることを特徴とする表示駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示ドライバ、表示装置及び表示駆動方法に関する。

【0 0 0 2】

【従来の技術】

液晶（Liquid Crystal Display：LCD）パネルに代表される表示パネル（広義には表示装置）は、携帯電話機や携帯型情報端末（Personal Digital Assistants：PDA）に実装される。これら電子機器に搭載される表示パネルには、低消費電力化が強く要求される。

【0 0 0 3】

表示パネルの低消費電力化を実現する 1 つの方策として、パーシャル表示がある。パーシャル表示によれば、表示パネルの表示エリアの一部のみを表示させることで、非表示エリアにおける消費電力の削減を図ることができる。

【0 0 0 4】

このようなパーシャル表示は、種々の方法により実現される。電子機器に搭載される表示パネルと該表示パネルを駆動する表示ドライバとの位置関係により定められる実装面積が小さくなるような方法で、パーシャル表示が実現されることが望ましい。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 2 - 3 5 1 4 1 2 号公報

【特許文献 2】

特開 2 0 0 2 - 3 5 1 4 1 3 号公報

【0 0 0 6】

【発明が解決しようとする課題】

L C Dパネルが、Y方向（行の並び方向）に並んで配設される複数の走査線と、Y方向に垂直なX方向（列の並び方向）に並んで配設される複数のデータ線とを含むものとする。このL C Dパネルの実装の最適化のため、例えばY方向にパーシャル表示エリアとパーシャル非表示エリアとを有するように、表示メモリを内蔵しない表示ドライバ（単純L C Dドライバ）でパーシャル表示（横パーシャル表示）を実現する場合を考える。

【0 0 0 7】

表示メモリを内蔵する表示ドライバは、表示メモリに例えば1フレーム分の表示データを記憶することができる。そのため、表示ドライバは垂直走査方向及び水平走査方向の情報を把握しながら、L C Dパネルを駆動することができる。したがって、このような表示ドライバでは、パーシャル表示エリアに設定された水平走査期間のみ、表示データに基づいてデータ線を駆動すればよい。

【0 0 0 8】

一方、表示メモリを内蔵しない表示ドライバは、一水平走査期間分の表示データのみを有する。そのため、L C Dパネルの何行目が描画されているかといった垂直走査方向の情報を把握する付加回路が必要となる。したがって、単純L C Dドライバは、現在の描画行を検出して、パーシャル表示エリアか、パーシャル非表示エリアかを判別して、パーシャル表示を実現する。

【0 0 0 9】

しかしながら、電子機器に搭載されるL C Dパネルによって、1行目の開始タイミングが異なる。例えば、L C Dパネルによっては、L C Dパネルを駆動する走査ドライバの行の1行目が必ずしも表示部分になるとは限らない。この場合、L C Dパネルに表示される画像のずれが生じてしまう。

【0 0 1 0】

また、専用のコントローラによれば、1行ずつ表示データを該表示ドライバに供給すればよいので問題ない。しかしながら、汎用のコントローラはこのようなパーシャル表示を実現する機能を持たないので、表示ドライバは汎用のコントローラに接続されることが望ましい点を考慮すると、表示ドライバ側で上述の機能

を実現することが望ましい。

【0011】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、汎用のコントローラにより制御可能であって、かつ表示パネルに応じて描画行を把握して横パシシャル表示機能を実現する表示ドライバ、表示装置及び表示駆動方法を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するために本発明は、各走査線が各行に設けられた複数の走査線と交差し各データ線が各列に設けられた複数のデータ線を駆動する表示ドライバであって、前記複数の走査線のうち描画先頭行に対応する走査線を指定するための描画先頭行指定レジスタと、前記複数のデータ線のうち少なくとも1つのデータ線に階調データに対応した駆動電圧を供給する通常表示モード又は前記少なくとも1つのデータ線に所与のパシシャル非表示電圧を供給するパシシャル非表示モードを、走査線に対応して設定するためのパシシャルモード設定レジスタと、前記駆動電圧に基づいて前記少なくとも1つのデータ線を駆動するためのオペアンプ部と、前記所与のパシシャル非表示電圧に基づいて前記少なくとも1つのデータ線を駆動するためのパシシャル非表示電圧出力部とを有するデータ線駆動回路と、前記データ線駆動回路の駆動制御を行うパシシャル表示制御部とを含み、前記パシシャル表示制御部は、前記描画先頭行指定レジスタによって指定された走査線を描画先頭行する描画行に対応した走査線に対し前記通常表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部により前記駆動電圧に基づいて前記少なくとも1つのデータ線を駆動し、前記描画行に対応した走査線に対し前記パシシャル非表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止すると共に前記パシシャル非表示電圧出力部により前記所与のパシシャル非表示電圧に基づいて前記少なくとも1つのデータ線を駆動するように制御する表示ドライバに係する。

【0013】

パーシャルモード設定レジスタは、1又は複数の走査線に対応して、或いは1又は複数の走査線ごとに、通常表示モード又はパーシャル表示モードが設定されてもよい。

【0014】

本発明では、パーシャルモード設定レジスタにより、走査線に対応して通常表示モード又はパーシャル非表示モードが設定される表示ドライバにおいて、描画先頭行指定レジスタによって、描画先頭行に対応する走査線を指定することができる。そして、パーシャル表示制御部が、描画先頭行指定レジスタによって指定された走査線を描画先頭行する描画行に対応した走査線が、通常表示モード又はパーシャル非表示モードに設定されているかを判別する。その判別結果を用いてデータ線駆動回路の駆動制御が行われて、駆動能力の高いオペアンプ部の動作電流による電力消費を削減するパーシャル表示機能が実現される。

【0015】

したがって、描画行を、表示パネルの表示部分の走査線数と一致させることができ、表示画像のずれを回避することができるようになる。また、いわゆる横パーシャル表示機能を有しない汎用のコントローラにより制御可能な表示ドライバを提供することができるようになる。

【0016】

また本発明に係る表示ドライバでは、前記パーシャルモード設定レジスタには、前記通常表示モード又は前記パーシャル非表示モードが、前記複数の走査線が分割された複数のブロックの各ブロックに対応して設定され、前記パーシャル表示制御部は、前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を含むブロックが前記通常表示モードに設定されているとき、該走査線の選択期間において、前記オペアンプ部により前記駆動電圧に基づいて前記少なくとも1つのデータ線を駆動し、前記描画行に対応した走査線を含むブロックが前記パーシャル非表示モードに設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止すると共に前記パーシャル非表示電圧出力部により前記所与のパーシャル非表示電圧に基づいて前記少なくとも1つのデータ線を駆動するように制御することができる。

。

【0017】

本発明では、パーシャルモード設定レジスタにおいて、通常表示モード又はパーシャル非表示モードが、複数の走査線が分割された複数のブロックの各ブロックに対応して設定される。したがって、ブロック単位でパーシャル表示エリアが設定される場合に、描画行と表示パネルの表示部分の走査線数との不一致に伴い、表示画像のずれや、1ブロックの走査線数を少なくせざるを得なくなるといった弊害を無くすることができる。これにより、最適な走査線数を含むブロック単位でパーシャル表示機能を実現することができ、記憶容量等のリソースを効率的に使用する表示ドライバを提供することができるようになる。

【0018】

また本発明に係る表示ドライバでは、水平走査期間を規定する水平同期信号に基づき描画行カウント値をインクリメントする描画行カウンタを含み、前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行が、前記描画行カウント値により求められてもよい。

【0019】

また本発明に係る表示ドライバでは、垂直走査期間を規定する垂直同期信号に基づいてバックポーチカウント値をリセットし、前記水平同期信号に基づいてバックポーチカウント値をインクリメントするバックポーチカウンタと、前記描画先頭行指定レジスタの設定値と、前記バックポーチカウント値とを比較する比較器とを含み、前記描画行カウンタは、前記比較器により前記描画先頭行指定レジスタの設定値と前記バックポーチカウント値とが一致したときに出力される信号に基づいて生成されるバックポーチ終了信号により描画行カウント値をリセットし、前記水平同期信号に基づき描画行カウント値をインクリメントすることができる。

【0020】

本発明では、可変に設定される描画先頭行を基準とした描画行を、カウンタを用いて求めることができるので、汎用のコントローラにより制御可能であって、かつ表示パネルに応じて描画行を把握して横パーシャル表示機能を実現する表示

ドライバを簡素な構成で実現することができる。

【 0 0 2 1 】

また本発明に係る表示ドライバでは、前記パーシャル非表示電圧は、前記階調データの最上位ビットに対応した電圧であってもよい。

【 0 0 2 2 】

本発明では、パーシャル非表示モードに設定された走査線の選択期間において、データ線に対して階調データの最上位ビットに対応した電圧を供給する。これにより、パーシャル非表示電圧を生成する付加回路を簡素化し、低消費電力化を実現する表示ドライバを提供することができる。

【 0 0 2 3 】

また本発明は、各走査線が各行に設けられた複数の走査線と、前記複数の走査線と交差し各データ線が各列に設けられた複数のデータ線と、複数の画素と、前記複数のデータ線を駆動する上記いずれか記載の表示ドライバと、前記複数の走査線を走査する走査ドライバとを含む表示装置に関係する。

【 0 0 2 4 】

また本発明は、各走査線が各行に設けられた複数の走査線と、前記複数の走査線と交差し各データ線が各列に設けられた複数のデータ線と、複数の画素とを含む表示パネルと、前記複数のデータ線を駆動する上記いずれか記載の表示ドライバと、前記複数の走査線を走査する走査ドライバとを含む表示装置に関係する。

【 0 0 2 5 】

本発明によれば、表示画像のずれがなく、汎用のコントローラにより表示制御が行われる表示装置を提供することができる。

【 0 0 2 6 】

また本発明は、各走査線が各行に設けられた複数の走査線と交差し各データ線が各列に設けられた複数のデータ線を駆動する表示駆動方法であって、前記複数の走査線のうち描画先頭行に対応する走査線を指定し、指定された走査線を描画先頭行とする描画行に対応した走査線に対して通常表示モードが設定されているとき、該走査線の選択期間において、オペアンプ部により前記複数のデータ線のうち少なくとも 1 つのデータ線に階調データに対応した駆動電圧を供給すると共

に、前記描画行に対応した走査線に対してパーシャル非表示モードが設定されているとき、該走査線の選択期間において、前記オペアンプ部の動作電流を制限又は停止してパーシャル非表示電圧出力部により所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動する表示駆動方法に係する。

【0 0 2 7】

また本発明に係る表示駆動方法では、前記複数の走査線が分割された複数のブロックの各ブロック単位に、前記通常表示モード又は前記パーシャル非表示モードを設定し、前記オペアンプ部は、前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を含むブロックが前記通常表示モードに設定されているとき、該走査線の選択期間において、前記駆動電圧に基づいて前記少なくとも 1 つのデータ線を駆動すると共に、前記描画行に対応した走査線を含むブロックが前記パーシャル非表示モードに設定されているとき、該走査線の選択期間において、その動作電流が制限又は停止され、前記パーシャル非表示電圧出力部は、前記ブロックが前記パーシャル非表示モードに設定されているとき、前記描画行に対応した走査線の選択期間において、前記所与のパーシャル非表示電圧に基づいて前記少なくとも 1 つのデータ線を駆動することができる。

【0 0 2 8】

また本発明に係る表示駆動方法では、前記描画先頭行指定レジスタによって指定された走査線を描画先頭行とする描画行に対応した走査線を、水平走査期間を規定する水平同期信号に基づきインクリメントする描画行カウント値により求めることができる。

【0 0 2 9】

また本発明に係る表示駆動方法では、垂直走査期間を規定する垂直同期信号に基づいてバックポーチカウント値をリセットすると共に前記水平同期信号に基づいてバックポーチカウント値をインクリメントし、前記描画先頭行指定レジスタの設定値と、前記バックポーチカウント値とを比較し、前記描画先頭行指定レジスタの設定値と前記バックポーチカウント値とが一致したときに出力される信号に基づいて生成されるバックポーチ終了信号により描画行カウント値をリセッ

トすると共に、前記水平同期信号に基づき描画行カウント値をインクリメントすることができる。

【 0 0 3 0 】

また本発明に係る表示駆動方法では、前記パーシャル非表示電圧は、前記階調データの最上位ビットに対応した電圧であってもよい。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【 0 0 3 2 】

1. 表示装置

図 1 に、表示装置の構成の概要を示す。ここでは表示装置の一例として液晶装置の構成の概要を示す。液晶装置は、携帯電話機、携帯型情報機器（PDA等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳、又はGPS（Global Positioning System）などの種々の電子機器に組み込むことができる。

【 0 0 3 3 】

図 1 において、液晶装置 10 は、LCD パネル（広義には表示パネル。更に広義には電気光学装置）20、表示ドライバ（ソースドライバ又は列駆動回路）30、走査ドライバ（ゲートドライバ又は行駆動回路）40、コントローラ（表示コントローラ）50、電源回路 60 を含む。液晶装置 10 は、電気光学装置と言うこともできる。

【 0 0 3 4 】

なお、液晶装置 10 にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

【 0 0 3 5 】

LCD パネル 20 は、各走査線（ゲート線）が各行に設けられた複数の走査線

(ゲート線)と、複数の走査線と交差し各データ線が各列に設けられた複数のデータ線(ソース線)と、各画素が複数の走査線のいずれかの走査線及び複数のデータ線のいずれかのデータ線により特定される複数の画素とを含む。各画素は、薄膜トランジスタ(Thin Film Transistor: 以下、TFTと略す)と画素電極とを含む。データ線にはTFTが接続され、該TFTに画素電極が接続される。

【0036】

より具体的には、LCDパネル20は例えばガラス基板からなるパネル基板上に形成される。パネル基板には、図1のY方向に複数配列されそれぞれX方向に伸びる走査線GL1~GLM(Mは2以上の整数。Mは3以上が望ましい。)と、X方向に複数配列されそれぞれY方向に伸びるデータ線DL1~DLN(Nは2以上の整数)とが配置されている。走査線GLm($1 \leq m \leq M$ 、mは整数)とデータ線DLn($1 \leq n \leq N$ 、nは整数)との交差点に対応する位置に画素PE_mnが設けられている。画素PE_mnは、TFT_mnと画素電極とを含む。

【0037】

TFT_mnのゲート電極は走査線GLmに接続される。TFT_mnのソース電極はデータ線DLnに接続される。TFT_mnのドレイン電極は画素電極に接続される。画素電極と、該画素電極と液晶素子(広義には電気光学物質)を介して対向する対向電極COM(コモン電極)との間には、液晶容量CL_mnが形成されている。なお液晶容量CL_mnと並列に、保持容量を形成するようにしても良い。画素電極と対向電極COMとの間の電圧に応じて、画素の透過率が変化するようにになっている。対向電極COMに供給される電圧V_{COM}は、電源回路60により生成される。

【0038】

表示ドライバ30は、いわゆる単純LCDドライバである。すなわち、表示ドライバ30は、例えば1フレーム分の表示データを記憶する表示メモリを内蔵せず、一水平走査期間ごとに供給される一水平走査期間分の表示データに基づいてLCDパネル20のデータ線DL1~DLNを駆動する。より具体的には、表示ドライバ30は、表示データに基づいてデータ線DL1~DLNの少なくとも1つを駆動することができる。

【0039】

走査ドライバ40は、LCDパネル20の走査線GL1～GLMを走査する。より具体的には、走査ドライバ40は、一垂直期間内に走査線GL1～GLMを順次選択し、選択した走査線を駆動する。

【0040】

コントローラ50は、図示しない中央処理装置（Central Processing Unit：CPU）等のホストにより設定された内容に従って、表示ドライバ30、走査ドライバ40及び電源回路60に対して制御信号を出力する。より具体的には、コントローラ50は、表示ドライバ30及び走査ドライバ40に対しては、例えば動作モードの設定や内部で生成した水平同期信号や垂直同期信号を供給する。水平同期信号は、水平走査期間を規定する。垂直同期信号は、垂直走査期間を規定する。またコントローラ50は、電源回路60に対しては、極性反転信号POLにより、対向電極COMの電圧VCOMの極性反転タイミングの制御を行う。

【0041】

電源回路60は、外部から供給される基準電圧に基づいて、LCDパネル20の各種電圧や、対向電極COMの電圧VCOMを生成する。

【0042】

なお図1では、液晶装置10がコントローラ50を含む構成になっているが、コントローラ50を液晶装置10の外部に設けてもよい。或いは、コントローラ50と共にホスト（図示せず）を液晶装置10に含めるように構成してもよい。

【0043】

また走査ドライバ40、コントローラ50及び電源回路60のうち少なくとも1つを表示ドライバ30に内蔵させてもよい。

【0044】

また、表示ドライバ30、走査ドライバ40、コントローラ50及び電源回路60の一部又は全部をLCDパネル20上に形成してもよい。例えば図2では、LCDパネル20上に、表示ドライバ30及び走査ドライバ40が形成されている。このようにLCDパネル20は、複数のデータ線と、複数の走査線と、各画素が複数のデータ線のいずれかと複数の走査線のいずれかにより特定される複

数の画素と、複数のデータ線を駆動する表示ドライバとを含むように構成することができる。LCDパネル20の画素形成領域80に、複数の画素が形成されている。

【0045】

2. 横パーシャル表示（パーシャル表示）

本実施形態における表示ドライバ30は、横パーシャル表示機能（パーシャル表示機能）を有する。

【0046】

図3に、本実施形態において実現される横パーシャル表示機能の説明図を示す。横パーシャル表示機能は、各列に設けられたデータ線を駆動する表示ドライバ30がデータ線と交差し各列に設けられた走査線単位で行うパーシャル表示とすることができる。

【0047】

横パーシャル表示機能により実現されるパーシャル表示では、1又は複数の行（走査線）単位で、通常表示エリア及びパーシャル非表示エリアが設定される。図3では、1行目から $(i-1)$ ($2 < i < M$ 、 i は整数)行目まで、 j ($i < j \leq M$ 、 j は整数)行目から M 行目までがパーシャル非表示エリアに設定され、 i 行目から $(j-1)$ 行目までが通常表示エリアに設定されている。

【0048】

通常表示エリアの走査線の選択期間では、表示ドライバ30によって表示データに基づく駆動電圧によりデータ線が駆動される。このとき、駆動能力の高いオペアンプによってデータ線が駆動される。

【0049】

パーシャル非表示エリアの走査線の選択期間では、表示ドライバ30によって所与のパーシャル非表示電圧によりデータ線が駆動される。このとき、駆動能力の高いオペアンプの動作電流を制限又は停止して、データ線に所与のパーシャル非表示電圧が供給される。パーシャル非表示電圧として、選択される走査線に接続される画素の透過率が変化しない所与のオフ電圧や、階調データの最上位ビットに対応した電圧を用いることができる。

【 0 0 5 0 】

このような横パーシャル表示機能によりパーシャル非表示エリアを設けることで、表示期間のみを高い駆動能力を有するオペアンプで駆動し、非表示期間におけるオペアンプの動作電流を低減し、低消費電力化を図ることができる。

【 0 0 5 1 】

そのため、上述のような横パーシャル表示機能を有する表示ドライバ 3 0 では、描画される行（選択される走査線）を認識して、データ線を駆動する必要がある。このとき、比較例として、表示ドライバにおいて、垂直同期信号の直後の水平走査期間を 1 行目として、描画行を検出する場合を考える。

【 0 0 5 2 】

図 4 に、比較例における表示ドライバの描画行の検出タイミングの一例を示す。このように、垂直同期信号 V_{sync} の立ち下がり直後の水平同期信号 H_{sync} の立ち下がりを中心として、描画行をカウントすることができる。

【 0 0 5 3 】

しかしながら、比較例における表示ドライバでは、以下のような問題が生ずる。

【 0 0 5 4 】

第 1 に、LCD パネルを駆動する走査ドライバの行の 1 行目と、描画先頭行とが一致しない場合がある点である。

【 0 0 5 5 】

図 5 に、LCD パネルを駆動する走査ドライバの行の 1 行目と描画先頭行とが一致しない場合の説明図を示す。電子機器に搭載される LCD パネルによって、1 行目の開始タイミングが異なる。例えば、LCD パネルによっては、LCD パネルを駆動する走査ドライバの行の 1 行目が必ずしも表示部分になるとは限らないからである。この場合、比較例における表示ドライバでは、LCD パネルの実際の行をカウントすることになるため、描画行とのずれが生じ、その結果として LCD パネルに表示される画像のずれが生じてしまう。

【 0 0 5 6 】

第 2 に、複数の走査線を含むブロック単位で通常表示エリア及びパーシャル非

表示エリアを設定する場合、1ブロック当たりの走査線の数が少なくなる点である。

【0057】

図6に、ブロック単位で通常表示エリア及びパーシャル非表示エリアを設定する場合の説明図を示す。例えば、本来、LCDパネルの4本の走査線ごとに分割されたブロック単位で、通常表示エリア及びパーシャル非表示エリアを設定することができるものとする。この場合、LCDパネルを駆動する走査ドライバの行の1行目及び2行目が表示部分とならない。したがって、このままブロック単位でパーシャル表示を実現しても、表示画像のずれが生じてしまう。

【0058】

ブロックの単位は、LCDパネルに表示させるフォントや、マーク（携帯電話機における電池の残量表示マークやアンテナの受信感度表示マーク）などの大きさを基準に定めることで、パーシャル表示制御の簡素化と、記憶容量の削減を図ることができる。ところが、図6に示すような場合に、ブロック単位でパーシャル表示を実現し、かつ表示画像のずれを回避するためには、2本の走査線ごとにブロックを分割する必要が生ずる。したがって、パーシャル表示を実現するブロック数が増加してしまい、記憶容量の無駄が発生してしまい、ブロック単位で分割した意味が薄れてしまう。

【0059】

そこで本実施形態における表示ドライバ30は、描画先頭行を指定可能に構成して、該描画先頭行を基準に描画行を求めることができるようになっている。こうすることで、LCDパネルの表示部の走査線の数と描画行とを一致させた状態で横パーシャル表示を実現することができる。

【0060】

図7に、本実施形態における表示ドライバの描画行の検出タイミングの一例を示す。本実施形態では、垂直同期信号Vsyncの立ち下がり後、予め設定された期間（バックポーチ（back porch））が終了した後、水平同期信号Hsyncの立ち下がりを経由して描画行をカウントする。

【0061】

図 8 に、本実施形態における表示ドライバにおいてブロック単位で通常表示エリア及びパーシャル非表示エリアを設定する場合の説明図を示す。表示ドライバ 3 0 では、バックポーチを設定することができるので、該バックポーチ終了後に、LCD パネルの 4 本の走査線ごとに分割されたブロック単位で、通常表示エリア及びパーシャル非表示エリアを設定することができる。

【0 0 6 2】

これにより、求められる描画行を表示部分の走査線数と一致させることができ、表示画像のずれを回避すると共に、ブロック単位の指定に伴う記憶容量の削減を図ることができる。また横パーシャル表示機能を有しない汎用のコントローラにより制御可能な表示ドライバを提供することができる。

【0 0 6 3】

3. 表示ドライバ

図 9 に、本実施形態における表示ドライバ 3 0 の構成の概要のブロック図を示す。表示ドライバ 3 0 は、データラッチ 1 0 0、ラインラッチ 1 1 0、DAC (Digital-to-Analog Converter) (広義には電圧選択回路) 1 2 0、データ線駆動回路 1 3 0、制御部 1 4 0 を含む。

【0 0 6 4】

データラッチ 1 0 0 は、一水平走査周期で表示データを取り込む。

【0 0 6 5】

ラインラッチ 1 1 0 は、データラッチ 1 0 0 に取り込まれた表示データを、データ線に対応した階調データとして、水平同期信号 H s y n c に基づいてラッチする。

【0 0 6 6】

DAC 1 2 0 は、各基準電圧が階調データに対応した複数の基準電圧の中から、データ線ごとにラインラッチ 1 1 0 からの階調データに対応する駆動電圧 (階調電圧) を出力する。より具体的には、DAC 1 2 0 は、ラインラッチ 1 1 0 からの階調データをデコードし、デコード結果に基づいて複数の基準電圧のいずれかを選択する。DAC 1 2 0 において選択された基準電圧は、駆動電圧としてデータ線駆動回路 1 3 0 に出力される。

【0067】

データ線駆動回路130は、DAC120からの駆動電圧、又は所与のパーシャル非表示電圧に基づいてデータ線DL1～DLNの少なくとも1つを駆動する。

【0068】

制御部140は、図9に示す表示ドライバ30の各部を制御する。

【0069】

図10に、表示ドライバ30の構成要部のブロック図を示す。ここでは、データ線駆動回路130の1出力当たりの構成であるデータ線駆動回路130-1を示す。

【0070】

制御部140は、描画先頭行指定レジスタ142、パーシャルモード設定レジスタ144、パーシャル表示制御回路146を含む。データ線駆動回路130-1は、オペアンプ部132-1、パーシャル非表示電圧出力部134-1を含む。データ線駆動回路130-1は、データ線DL1を駆動することができる。ここでは、データ線駆動回路130-1のみを示しているが、他のデータ線DL2～DLNを駆動するデータ線駆動回路130-2～130-Nもデータ線駆動回路130-1と同様の構成をなし、制御部140からの制御信号により駆動制御される。

【0071】

描画先頭行指定レジスタ142には、バックポーチ設定値が設定される。バックポーチ設定値は、複数の走査線GL1～GLMのうち描画先頭行に対応する走査線を指定するための値である。例えばバックポーチ設定値として、LCDパネル20の走査線GL1から、描画先頭行に対応する走査線GL_x ($2 \leq x \leq M$ 、 x は整数) までの走査線の数を用いることができる。例えば、描画先頭行に対応する走査線がGL3の場合、走査線GL1から走査線GL3までの走査線の数「2」を用いることができる。

【0072】

パーシャルモード設定レジスタは、各走査線に対応して、通常表示モード又は

パーシャル非表示モードを設定するためのレジスタである。

【0 0 7 3】

通常表示モードに設定された走査線の選択期間では、オペアンプ部 1 3 2 - 1 により、データ線 D L 1 ~ D L N の少なくとも 1 つが階調データに基づく駆動電圧により駆動される。データ線単位でパーシャル表示が行われない場合には、該選択期間において、オペアンプ部 1 3 2 - 1 により、データ線 D L 1 ~ D L N が階調データに基づく駆動電圧により駆動される。

【0 0 7 4】

パーシャル非表示モードに設定された走査線の選択期間では、パーシャル非表示電圧出力部 1 3 4 - 1 により、データ線 D L 1 ~ D L N の少なくとも 1 つが所与のパーシャル非表示電圧により駆動される。このとき、オペアンプ部 1 3 2 - 1 ~ 1 3 2 - N における駆動能力の高いオペアンプの動作電流が制限又は停止される。なお、データ線単位でパーシャル表示が行われない場合には、該選択期間において、パーシャル非表示電圧出力部 1 3 4 - 1 により、データ線 D L 1 ~ D L N が所与のパーシャル非表示電圧により駆動され、かつオペアンプ部 1 3 2 - 1 ~ 1 3 2 - N における駆動能力の高いオペアンプの動作電流が制限又は停止される。

【0 0 7 5】

パーシャル表示制御回路 1 4 6 は、描画先頭行指定レジスタ 1 4 2 によって指定された走査線（描画先頭行）を基準として求められる描画行に対応した走査線が、パーシャルモード設定レジスタ 1 4 4 により通常表示モード又はパーシャル非表示電圧に設定されているかを判別する。そして、判別された各モードに対応して、データ線駆動回路 1 3 0 - 1 ~ 1 3 0 - N に対して上述の駆動制御を行う。

【0 0 7 6】

より具体的には、パーシャル表示制御回路 1 4 6 は、描画先頭行指定レジスタ 1 4 2 によって指定された走査線を描画先頭行とする描画行に対応した走査線が通常表示モードに設定されているとき、オペアンプ部 1 3 2 - 1 ~ 1 3 2 - N により駆動電圧に基づいて少なくとも 1 つのデータ線（例えばデータ線 D L 1 ）を

駆動する。またパーシャル表示制御回路 146 は、該走査線がパーシャル非表示モードに設定されているときオペアンプ部 132-1~132-N の動作電流を制限又は停止すると共に、パーシャル非表示電圧出力部 134-1~134-N により所与のパーシャル非表示電圧に基づいて少なくとも 1 つのデータ線（例えばデータ線 DL1）を駆動する。

【0077】

ここでは、パーシャル表示制御回路 146 は、走査線ごとにパーシャル表示を行う場合について説明したが、複数の走査線を含むブロック単位でパーシャル表示制御を行うこともできる。すなわち、描画先頭行指定レジスタ 142 によって指定された走査線を描画先頭行とする描画行に対応した走査線を含むブロックが通常表示モード又はパーシャル非表示モードのどちらに設定されているかを判別すればよい。

【0078】

図 11 に、パーシャル表示制御回路 146 の構成要部の一例を示す。図 11 におけるパーシャル表示制御回路 146 では、垂直走査期間において、バックポーチ設定値で設定された期間が経過した後に、描画行のカウントを開始する。

【0079】

バックポーチカウンタ 150 は、垂直同期信号 Vsync に基づいてバックポーチカウント値をリセットし、水平同期信号 Hsync に基づいてバックポーチカウント値をインクリメントする。

【0080】

比較器 152 は、描画先頭行指定レジスタ 142 に設定されたバックポーチ設定値と、バックポーチカウント値とを比較して、比較結果信号を出力する。

【0081】

比較結果信号は、RS フリップフロップの出力をセットする。なお RS フリップフロップの出力は、垂直同期信号 Vsync によりリセットされる。このような RS フリップフロップの出力は、バックポーチ終了信号として出力される。

【0082】

描画行カウンタ 154 は、バックポーチ終了信号により描画行カウント値を

リセットし、水平同期信号 H_{sync} に基づき描画行カウント値をインクリメントする。

【0083】

図12に、図11に示すパーシャル表示制御回路146の動作タイミングチャートの一例を示す。図12では、LCDパネル20の走査線GL3が描画先頭行となるように、バックポーチ設定値が「2」に設定されるものとする。

【0084】

垂直同期信号 V_{sync} によりリセットされたバックポーチカウンタ値は、水平同期信号 H_{sync} によってインクリメントされる。そして、バックポーチカウンタ値が「2」になると、比較器152から出力される比較結果信号が「H」となり、バックポーチ終了信号がセットされる。描画行カウンタ154は、バックポーチ終了信号がセットされた後、水平同期信号 H_{sync} に基づいてインクリメントを開始する。

【0085】

このような構成により、描画行カウンタ値は、バックポーチ設定値により規定される期間経過後にカウンタが開始され、LCDパネル20の描画行と一致させることができる。パーシャル表示制御回路146は、このようにして得られた描画行カウンタ値により、パーシャルモード設定レジスタ144に設定されたモードに応じて描画行単位で上述の駆動制御を行うことができる。

【0086】

なお図11のバックポーチカウンタ150のリセット端子には、垂直同期信号 V_{sync} に代えて、図13に示すようなディレイ回路DLYを含む立ち下がり検出回路の出力信号 R_IN を入力させてもよい。

【0087】

図13に、立ち下がりエッジ検出回路の構成の概要を示す。この立ち下がり検出回路は、垂直同期信号 V_{sync} の立ち下がりエッジを検出する。

【0088】

図14に、パーシャル表示制御回路146の動作タイミングチャートの他の例を示す。ここでは、図11のバックポーチカウンタ150のリセット端子に、図

13に示す立ち下がりエッジ検出回路の出力信号R__INを入力させた場合の動作例を示す。この場合、バックポーチカウンタ150では、垂直同期信号Vsyncの立ち下がり直後から、バックポーチカウント値をカウントさせることができる。

【0089】

図15に、パーシャル表示制御回路146の構成要部の他の例を示す。図15におけるパーシャル表示制御回路146では、垂直走査期間において、バックポーチ設定値で設定された期間が経過した後に、ブロック単位でパーシャル表示制御を行う。より具体的には、パーシャル表示制御回路146は、バックポーチ設定値により定められる走査線を描画先頭行とする描画行に対応した走査線を含むブロックに応じて、パーシャル表示制御を行う。

【0090】

ここでバックポーチ終了信号は、図12と同様の構成により生成されるため、説明を省略する。またb（bは2以上の整数）本の走査線ごとに分割されたブロック単位で、パーシャル表示制御が行われるものとする。

【0091】

分周器170は、入力信号をb分周する。より具体的には、入力信号のパルスがb回入力される度に、出力信号のパルスを1回出力する。このような分周器170の入力信号は、水平同期信号Hsyncと、バックポーチ終了信号により生成される。分周器170の出力信号は、シフトレジスタ172のクロック端子に入力される。

【0092】

シフトレジスタ172は、バックポーチ終了信号により内部状態がリセットされ、クロック端子に入力される信号に基づきシフトされるシフト出力信号を出力する。

【0093】

図16に、パーシャルモード設定レジスタ144の設定内容の説明図を示す。パーシャルモード設定レジスタ144には、ブロック単位で「0」又は「1」が設定される。パーシャルモード設定レジスタ144には、c（cは2以上の整数

個の各ブロックについて通常表示モード又はパーシャル非表示モードが設定される。

【0094】

ブロック 1 には、1 行目から b 行目までの描画行に対応する走査線に対して通常表示モード又はパーシャル非表示モードが設定される。ブロック 2 には、 $(b + 1)$ 行目から $2b$ 行目までの描画行に対応する走査線に対して通常表示モード又はパーシャル非表示モードが設定される。同様に、ブロック S ($1 \leq S \leq c$ 、 S は整数) には、 $((S - 1) \cdot b + 1)$ 行目から $(S \cdot b)$ 行目までの描画行に対応する走査線に対して通常表示モード又はパーシャル非表示モードが設定される。

【0095】

「0」が設定されたブロックは、パーシャル非表示モードとなる。「1」が設定されたブロックは、通常表示モードとなる。

【0096】

図 12 に示したように、バックポーチ終了信号がセットされた後には、水平同期信号 $Hsync$ により描画行をカウントすることができる。これに対して図 15 に示す分周器 170 では、描画行を b 単位でカウントすることができる。そして分周器 170 は、描画行 b 単位で出力信号のパルスを生成する。

【0097】

シフトレジスタ 172 は、 c 本のシフト出力 $SFO1 \sim SFOc$ (c は 2 以上の整数) を有する。各シフト出力は、パーシャルモード設定レジスタ 144 に設定される各ブロックに対応する。

【0098】

図 15 において、シフトレジスタ 172 からのシフト出力 $SFO1$ と、パーシャルモード設定レジスタ 144 のブロック 1 の設定値との論理積が生成される。シフトレジスタ 172 からのシフト出力 $SFO2$ と、パーシャルモード設定レジスタ 144 のブロック 2 の設定値との論理積が生成される。同様にして、シフトレジスタ 172 からのシフト出力 $SFOs$ ($1 \leq S \leq c$ 、 S は整数) と、パーシャルモード設定レジスタ 144 のブロック S の設定値との論理積が生成される。

【 0 0 9 9 】

そして、各ブロックに対応する論理積の出力の論理和演算結果が、パーシャル表示制御信号 $p c n t$ として出力される。

【 0 1 0 0 】

パーシャル表示制御信号 $p c n t$ が「H」のとき、通常表示モードとしてデータ線駆動回路 1 3 0 が制御される。パーシャル表示制御信号 $p c n t$ が「L」のとき、パーシャル非表示モードとしてデータ線駆動回路 1 3 0 が制御される。

【 0 1 0 1 】

図 1 7 に、データ線駆動回路 1 3 0 - 1 の構成例を示す。ここでは、データ線駆動回路 1 3 0 - 2 ~ 1 3 0 - N も、データ線駆動回路 1 3 0 - 1 と同様に構成される。

【 0 1 0 2 】

D A C 1 2 0 は、R O M デコーダ回路により実現することができる。D A C 1 2 0 は、 $(q + 1)$ ビットの階調データに基づいて、基準電圧 $V 0$ 、 $V Y$ と第 1 ~ 第 i の基準電圧 $V 1 \sim V i$ のうちいずれか 1 つを選択して駆動電圧 $V s$ としてデータ線駆動回路 1 3 0 - 1 のオペアンプ部 1 3 2 - 1 に出力する。

【 0 1 0 3 】

また D A C 1 2 0 は、階調データ ($D q \sim D 0$) の最上位ビット ($D q$) に対応したパーシャル非表示電圧を出力する。ここでは、極性反転信号 $P O L$ の論理レベルに応じて、階調データ ($D q \sim D 0$) の最上位ビット ($D q$) 又はその反転データに対応した基準電圧を出力する。パーシャル非表示電圧は、データ線駆動回路 1 3 0 - 1 のパーシャル非表示電圧出力部 1 3 4 - 1 に出力される。

【 0 1 0 4 】

オペアンプ部 1 3 2 - 1 は、ボルテージフォロワ接続された演算増幅器（オペアンプ） 1 9 0 と、演算増幅器 1 9 0 の出力とデータ線 $D L 1$ への出力ノードとの間に挿入されパーシャル表示制御信号 $p c n t$ によりスイッチ制御されるスイッチ素子 $S W 1$ とを含む。

【 0 1 0 5 】

また、パーシャル非表示電圧出力部 1 3 4 - 1 は、バッファ 1 9 4 と、バッフ

ァ 194 の出力とデータ線 DL 1 への出力ノードとの間に挿入されパーシャル表示制御信号 p c n t によりスイッチ制御されるスイッチ素子 SW 2 とを含む。

【0106】

このような構成において、DAC 120 では、 $(q+1)$ ビットの階調データ $D_q \sim D_0$ と、 $(q+1)$ ビットの反転階調データ $XD_q \sim XD_0$ とが入力される。反転階調データ $XD_q \sim XD_0$ は、階調データ $D_q \sim D_0$ をそれぞれビット反転したものである。ここでは、階調データ D_q 及び反転階調データ XD_q が、それぞれ階調データ及び反転階調データの最上位ビットであるものとする。

【0107】

DAC 120 において、多値の基準電圧 $V_0 \sim V_i$ 、 V_Y のうちのいずれか 1 つが階調データに基づいて選択される。

【0108】

オペアンプ部 132-1 では、選択された走査線（又は該走査線を含むブロック）が通常表示モードに設定されているとき、スイッチ素子 SW 1 がオン状態となり、駆動電圧 V_s に基づいてデータ線 DL 1 が駆動される。またオペアンプ部 132-1 では、選択された走査線（又は該走査線を含むブロック）がパーシャル非表示モードに設定されているとき、スイッチ素子 SW 1 がオフ状態となると共に、演算増幅器 190 の動作電流が制限又は停止される。

【0109】

パーシャル非表示電圧出力部 134-1 では、選択された走査線（又は該走査線を含むブロック）が通常表示モードに設定されているとき、スイッチ素子 SW 2 がオフ状態となり、パーシャル非表示電圧出力部 134-1 の出力がハイインピーダンス状態に設定される。またパーシャル非表示電圧出力部 134-1 では、選択された走査線（又は該走査線を含むブロック）がパーシャル非表示モードに設定されているとき、スイッチ素子 SW 2 がオン状態となり、データ線 DL 1 にパーシャル非表示電圧が出力される。

【0110】

このように各データ線を駆動することで、選択された走査線（又は該走査線を含むブロック）が通常表示モードに設定された通常表示エリアでは階調データの

ビット数に対応した表示色数の画像を表示することができる。また、選択された走査線（又は該走査線を含むブロック）がパーシャル非表示モードに設定されたパーシャル非表示エリアでは、例えばRGB信号それぞれの最上位ビットにより8色表示を行うことができる。

【0111】

ここでは、データ線DL1が通常表示モード又はパーシャル非表示モードのいずれかのモードで駆動される場合について説明したが、これに限定されるものではない。例えば、いわゆる縦パーシャル表示を行う場合には、通常表示モードであっても縦パーシャルの非表示エリアに対応するデータ線を駆動電圧に基づいて駆動する必要がない。

【0112】

4. その他

上述した実施形態では、TFTを用いた液晶パネルを備える液晶装置を例に説明したが、これに限定されるものではない。上述の電圧を、所与の電流変換回路により電流に変えて、電流駆動型の素子に供給するようにしてもよい。このようにすれば、例えばデータ線及び走査線により特定される画素に対応して設けられた有機EL素子を含む有機ELパネルを駆動する表示ドライバにも適用することができる。

【0113】

図18に、このような表示ドライバにより駆動される有機ELパネルにおける2トランジスタ方式の画素回路の一例を示す。

【0114】

有機ELパネルは、データ線DLnと走査線GLmとの交差点に、駆動TFT800mnと、スイッチTFT810mnと、保持キャパシタ820mnと、有機LED830mnとを有する。駆動TFT800mnは、p型トランジスタにより構成される。

【0115】

駆動TFT800mnと有機LED830mnとは、電源線に直列に接続される。

【0116】

スイッチTFT810mnは、駆動TFT800mnのゲート電極と、データ線DLnとの間に挿入される。スイッチTFT810mnのゲート電極は、走査線GLmに接続される。

【0117】

保持キャパシタ820mnは、駆動TFT800mnのゲート電極と、キャパシタラインとの間に挿入される。

【0118】

このような有機EL素子において、走査線GLmが駆動されスイッチTFT810mnがオンになると、データ線DLnの電圧が保持キャパシタ820mnに書き込まれると共に、駆動TFT800mnのゲート電極に印加される。駆動TFT800mnのゲート電圧Vgsは、データ線DLnの電圧によって決まり、駆動TFT800mnに流れる電流が定まる。駆動TFT800mnと有機LED830mnとは直列接続されているため、駆動TFT800mnに流れる電流がそのまま有機LED830mnに流れる電流となる。

【0119】

したがって、保持キャパシタ820mnによりデータ線DLnの電圧に応じたゲート電圧Vgsを保持することによって、例えば1フレーム期間中において、ゲート電圧Vgsに対応した電流を有機LED830mnに流すことで、当該フレームにおいて光り続ける画素を実現することができる。

【0120】

図19(A)に、表示ドライバを用いて駆動される有機ELパネルにおける4トランジスタ方式の画素回路の一例を示す。図19(B)に、この画素回路の表示制御タイミングの一例を示す。

【0121】

この場合も、有機ELパネルは、駆動TFT900mnと、スイッチTFT910mnと、保持キャパシタ920mnと、有機LED930mnとを有する。

【0122】

図18に示した2トランジスタ方式の画素回路と異なる点は、定電圧の代わり

にスイッチ素子としての p 型 TFT 940mn を介して定電流源 950mn からの定電流 I_{data} を画素に供給するようにした点と、電源線にスイッチ素子としての p 型 TFT 960mn を介して保持キャパシタ 920mn 及び駆動 TFT 900mn と接続するようにした点である。

【0123】

このような有機 EL 素子において、まずゲート電圧 V_{gp} により p 型 TFT 960mn をオフにして電源線を遮断し、ゲート電圧 V_{sel} により p 型 TFT 940mn とスイッチ TFT 910mn をオンにして、定電流源 950mn からの定電流 I_{data} を駆動 TFT 900mn に流す。

【0124】

駆動 TFT 900mn に流れる電流が安定するまでの間に、保持キャパシタ 920mn には定電流 I_{data} に応じた電圧が保持される。

【0125】

続いて、ゲート電圧 V_{sel} により p 型 TFT 940mn とスイッチ TFT 910mn をオフにし、更にゲート電圧 V_{gp} により p 型 TFT 960mn をオンにし、電源線と駆動 TFT 900mn 及び有機 LED 930mn を電氣的に接続する。このとき、保持キャパシタ 920mn に保持された電圧により、定電流 I_{data} とほぼ同等か、又はこれに応じた大きさの電流が有機 LED 930mn に供給される。

【0126】

有機 LED は、透明アノード (ITO) の上部に発光層を設け、更にその上部にメタルカソードを設けるようにしても良いし、メタルアノードの上部に、発光層、光透過性カソード、透明シールを設けるようにしても良く、その素子構造に限定されるものではない。

【0127】

以上説明したような有機 EL 素子を含む有機 EL パネルを駆動する表示ドライバを上述したように構成することによって、有機 EL パネルについて汎用的に用いられる表示ドライバを提供することができる。

【0128】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。上述の実施形態では、表示パネルの各画素が T F T を有するアクティブマトリクス方式の液晶パネルを例に説明したが、これに限定されるものではない。パッシブマトリクス方式の液晶パネルにも適用することができる。また液晶パネルに限らず、例えばプラズマディスプレイ装置にも適用可能である。

【 0 1 2 9 】

また本実施形態における表示ドライバは、いわゆるくし歯状にデータ線が形成された（くし歯配線された）くし歯型 L C D のデータ線を駆動する表示ドライバにも容易に適用することができる。

【 0 1 3 0 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図 1】 本実施形態における表示装置の構成例のブロック図。

【図 2】 本実施形態における表示装置の他の構成例のブロック図。

【図 3】 横パーシャル表示機能の説明図。

【図 4】 比較例における表示ドライバの描画行の検出タイミングの一例のタイミング図。

【図 5】 L C D パネルを駆動する走査ドライバの行の 1 行目と描画先頭行とが一致しない場合の説明図。

【図 6】 ブロック単位で通常表示エリア及びパーシャル非表示エリアを設定する場合の説明図。

【図 7】 本実施形態における表示ドライバの描画行の検出タイミングの一例のタイミング図。

【図 8】 本実施形態における表示ドライバにおいてブロック単位で通常表示エリア及びパーシャル非表示エリアを設定する場合の説明図。

【図 9】 本実施形態における表示ドライバの構成のブロック図。

【図 10】 本実施形態における表示ドライバの構成要部のブロック図。

【図 11】 パーシャル表示制御回路の構成要部の一例のブロック図。

【図 12】 図 11 のパーシャル表示制御回路の動作例のタイミング図。

【図 13】 立ち下がりエッジ検出回の回路図。

【図 14】 図 11 のパーシャル表示制御回路の他の動作例のタイミング図

。

【図 15】 パーシャル表示制御回路の構成要部の他の例のブロック図。

【図 16】 パーシャルモード設定レジスタの設定内容の説明図。

【図 17】 1 出力当たりのデータ線駆動回路の構成例の回路図。

【図 18】 有機 EL パネルにおける 2 トランジスタ方式の画素回路の一例の構成図。

【図 19】 図 19 (A) は有機 EL パネルにおける 4 トランジスタ方式の画素回路の一例の回路構成図。図 19 (B) は画素回路の表示制御タイミングの一例のタイミング図。

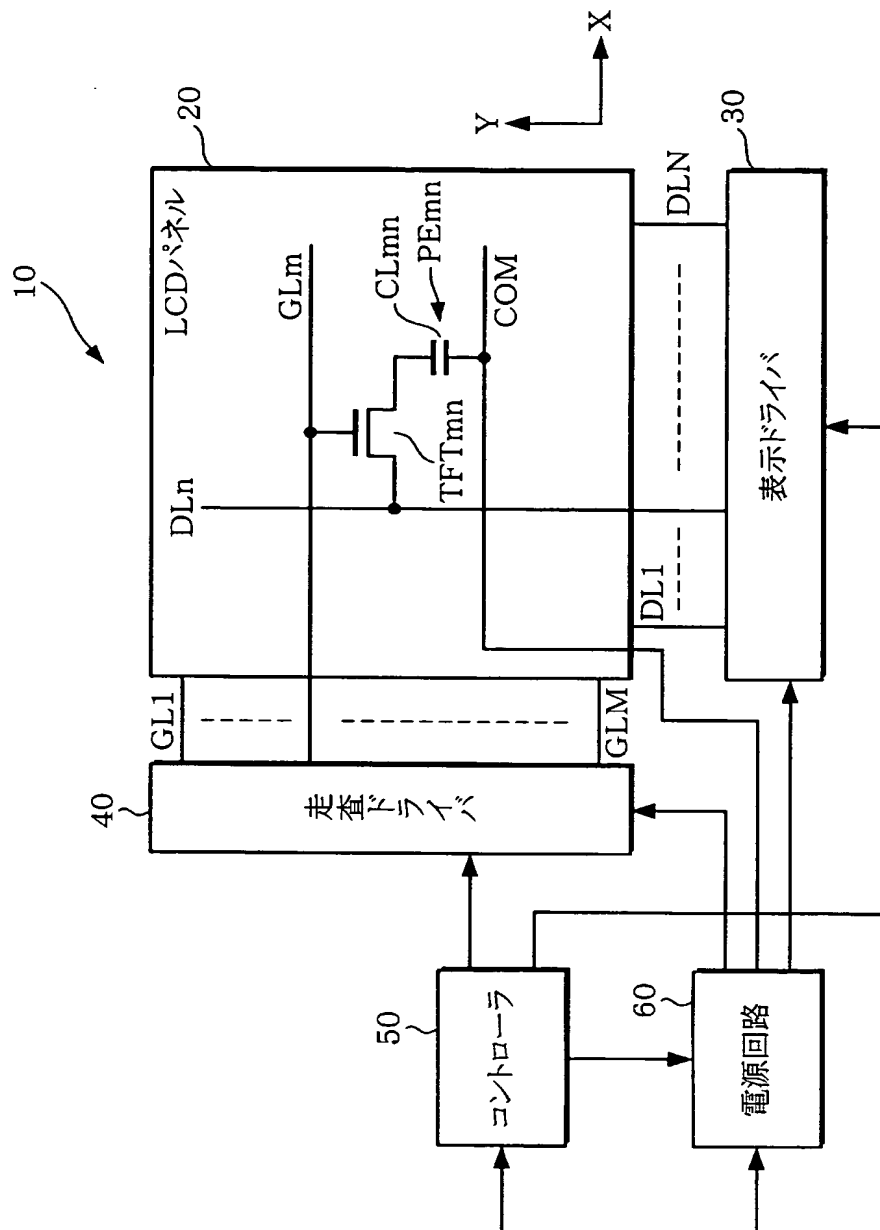
【符号の説明】

10 液晶装置（表示装置）、20 LCD パネル（表示パネル）、
30 表示ドライバ、40 走査ドライバ、50 コントローラ、
60 電源回路、80 画素形成領域、100 データラッチ、
110 ラインラッチ、120 DAC、
130、130-1～130-N データ線駆動回路、
132-1～132-N オペアンプ部、
134-1～134-N パーシャル非表示電圧出力部、140 制御部、
142 描画先頭行指定レジスタ、144 パーシャルモード設定レジスタ、
146 パーシャル表示制御回路、150 バックポーチカウンタ、
152 比較器、154 描画行カウンタ、170 分周器、
172 シフトレジスタ、190-1～190-N 演算増幅器、
194-1～194-N バッファ

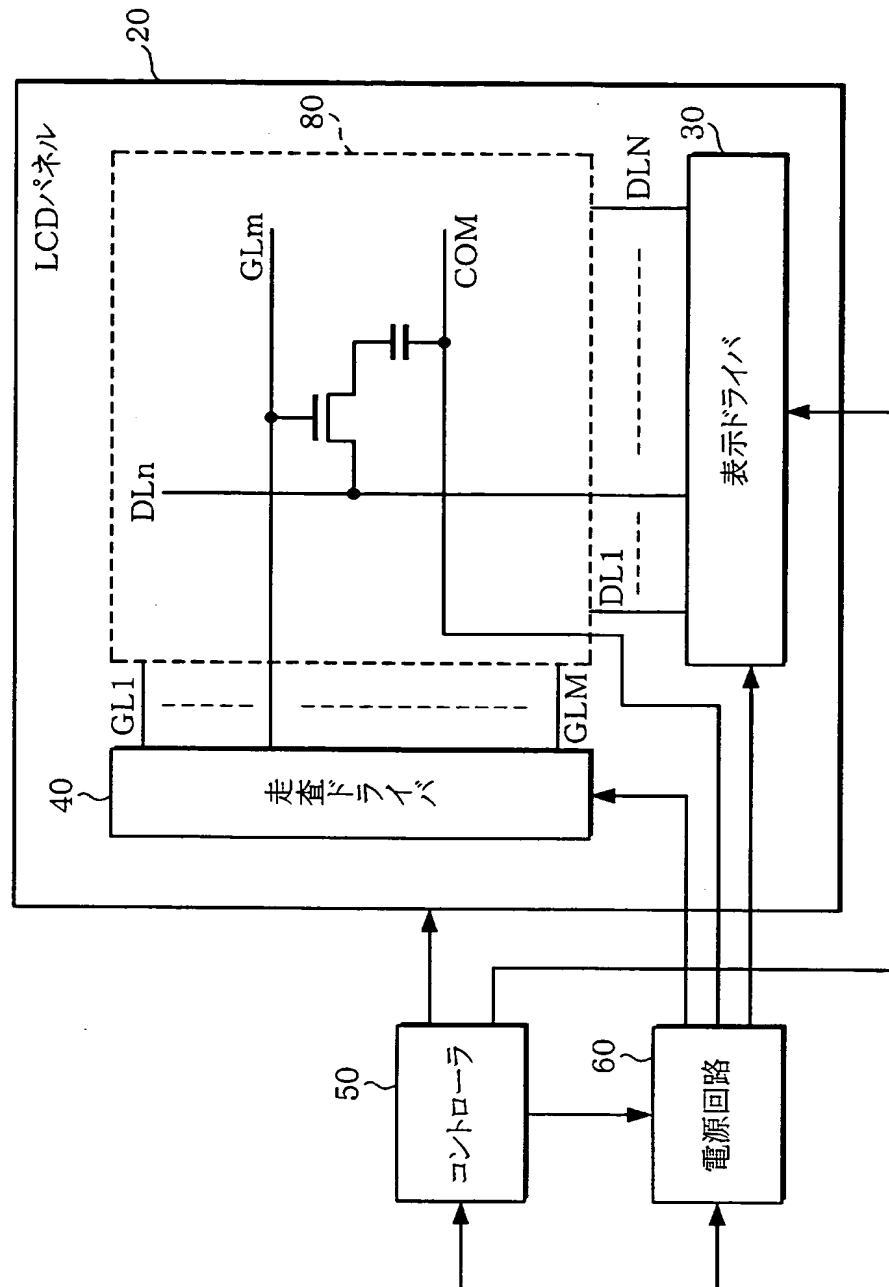
【書類名】

図面

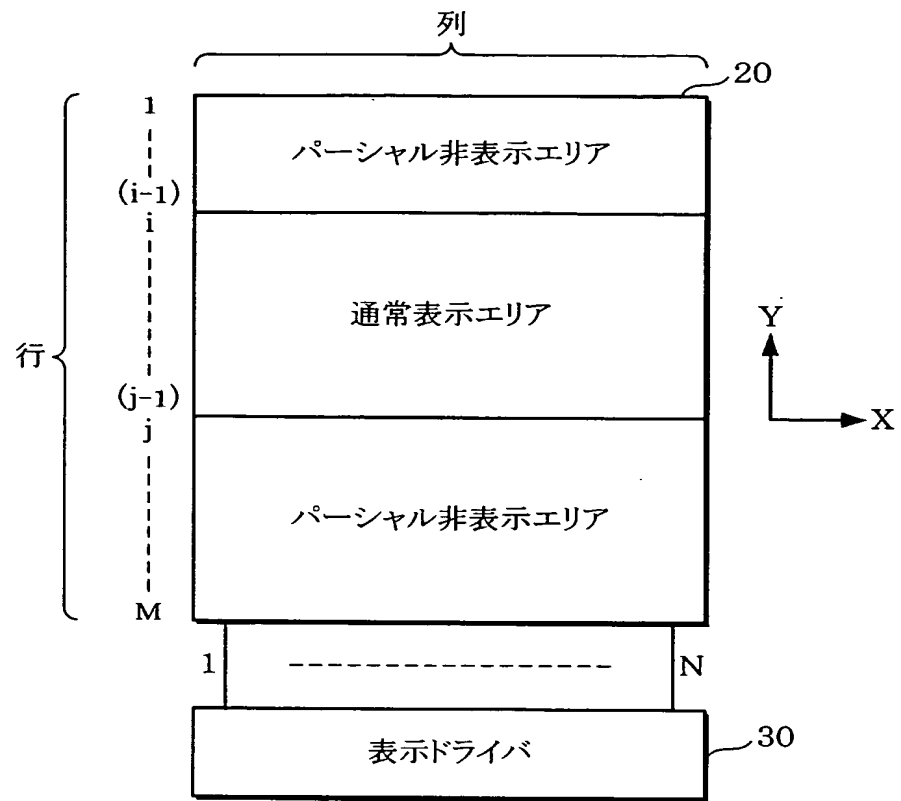
【図 1】



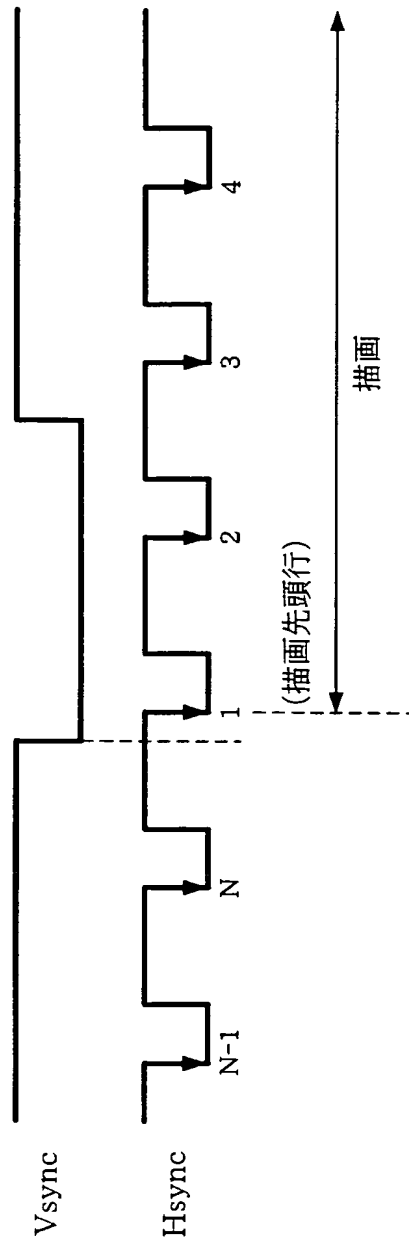
【図 2】



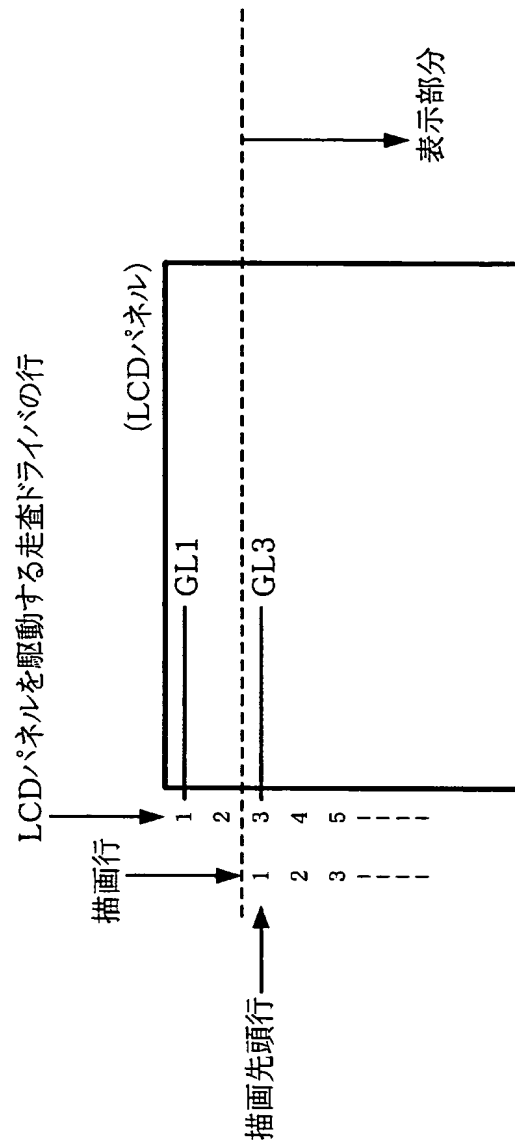
【図 3】



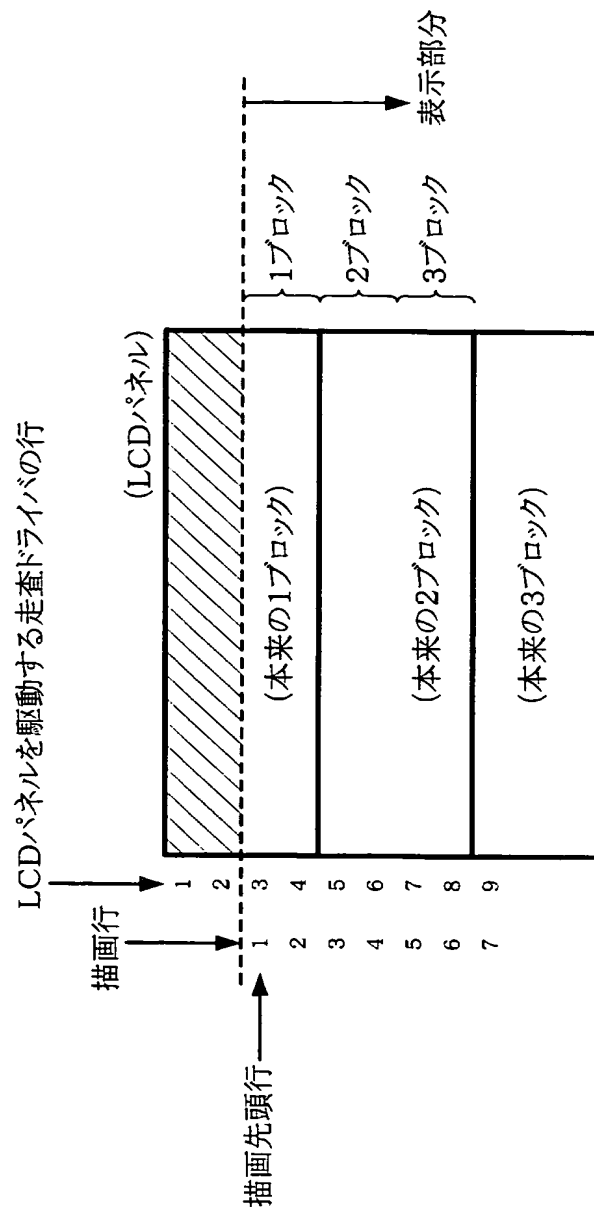
【図 4】



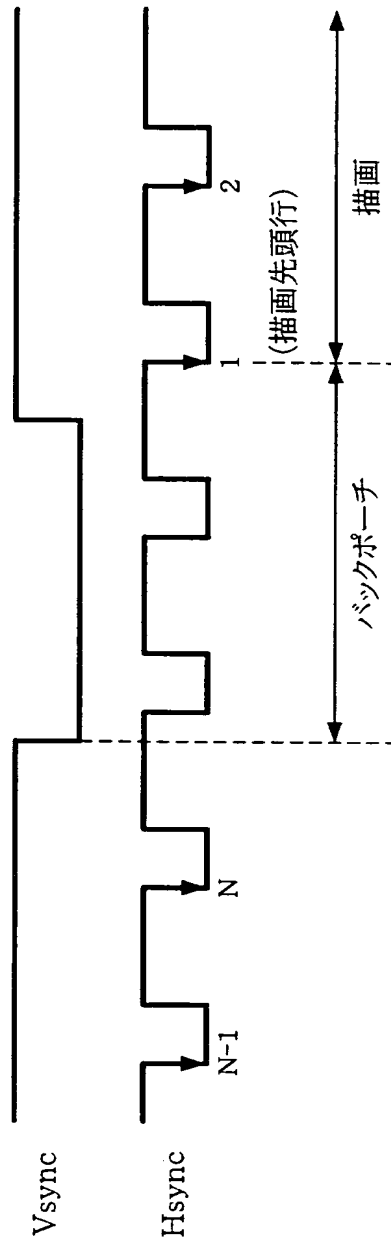
【図 5】



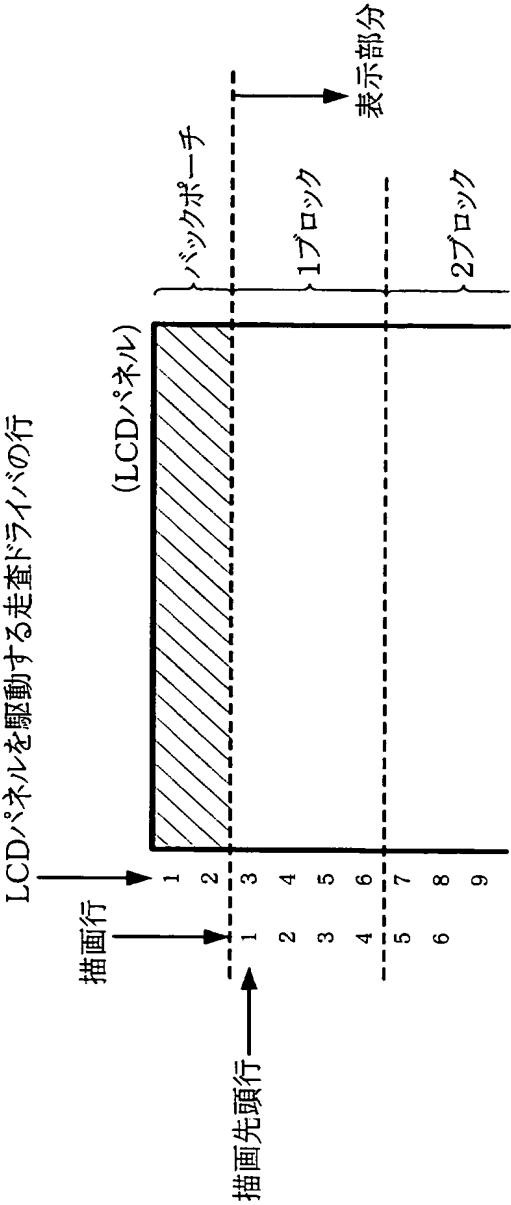
【図 6】



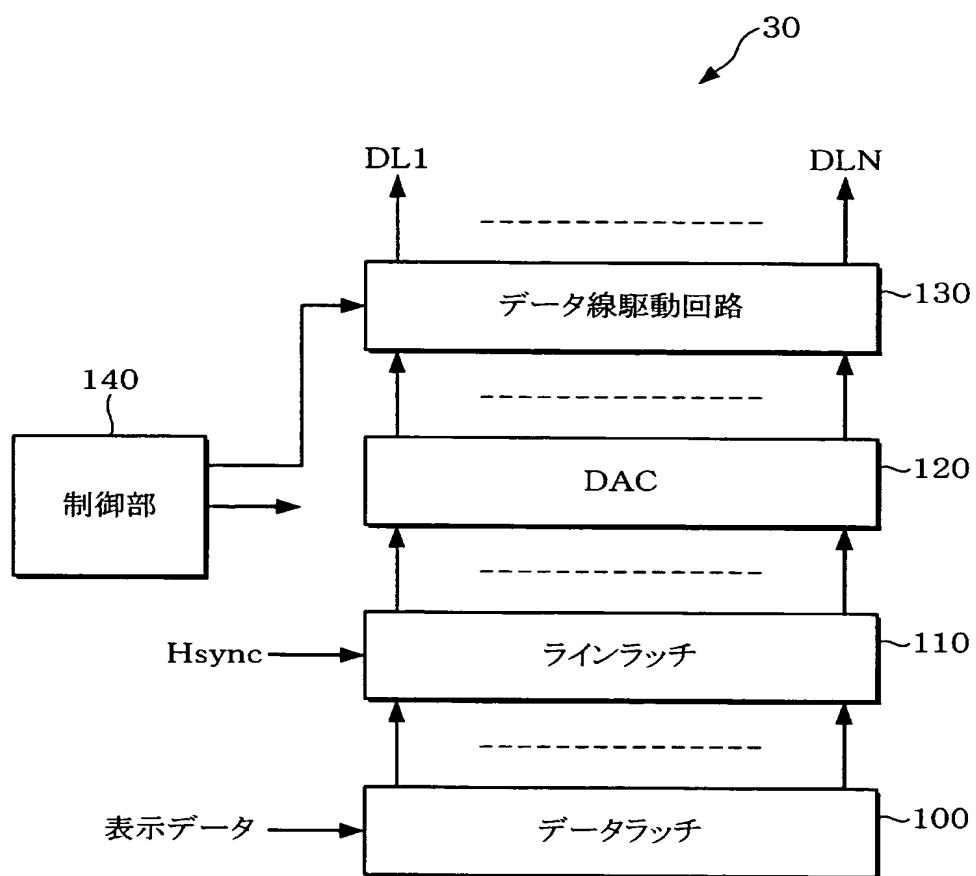
【圖 7】



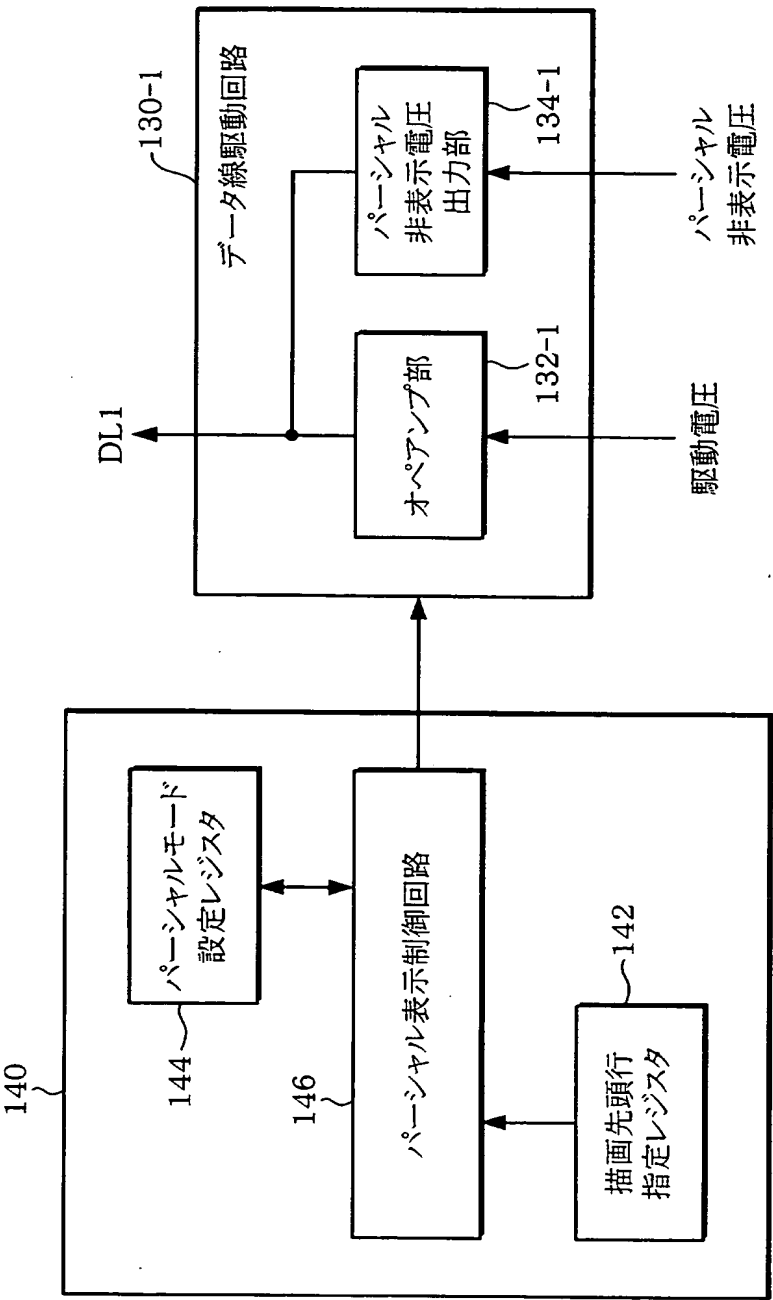
【図 8】



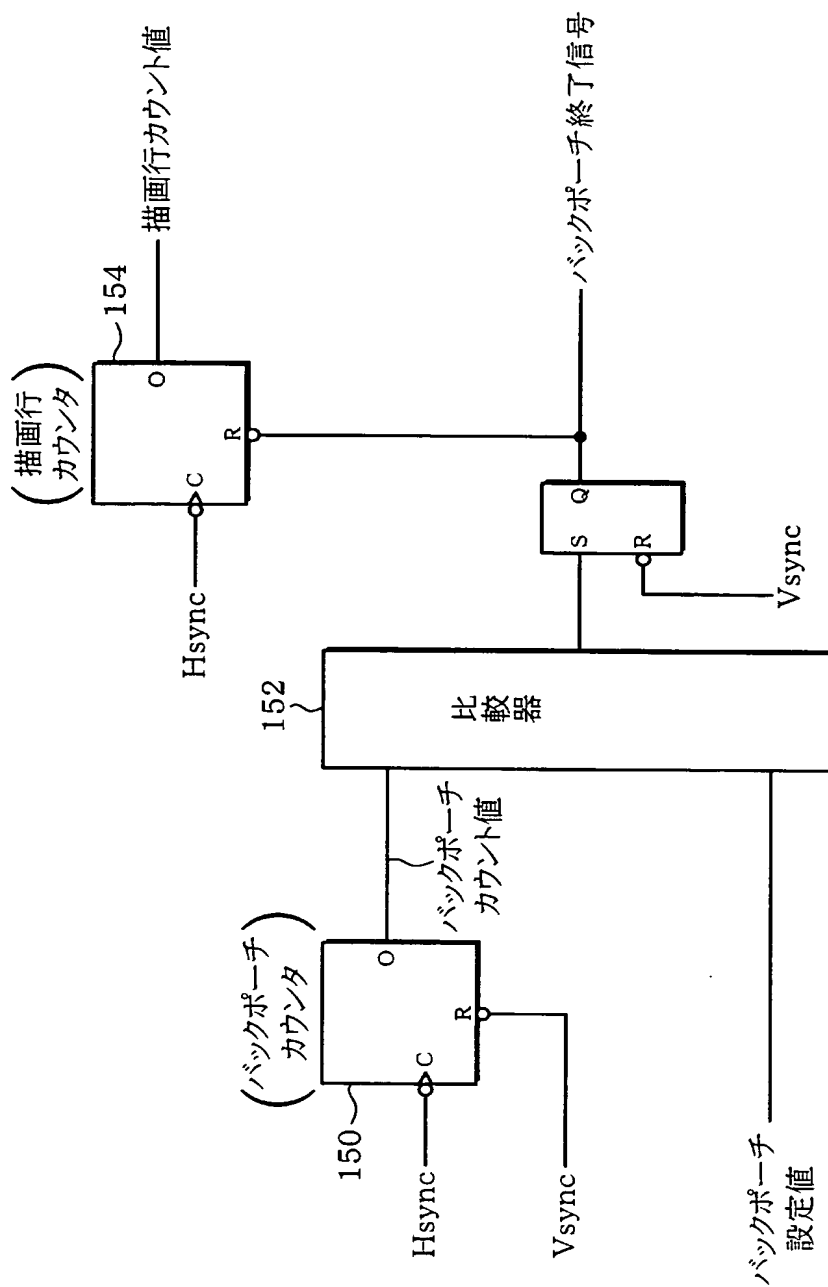
【図 9】



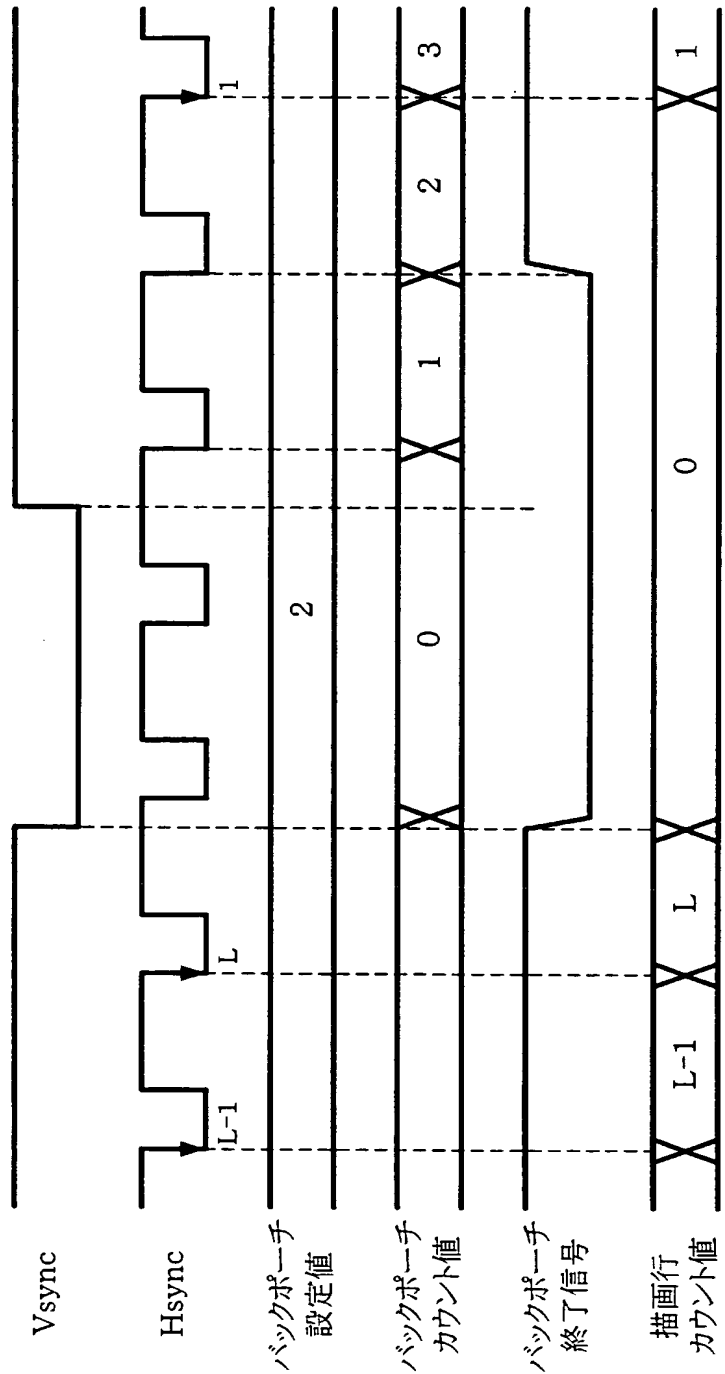
【図 10】



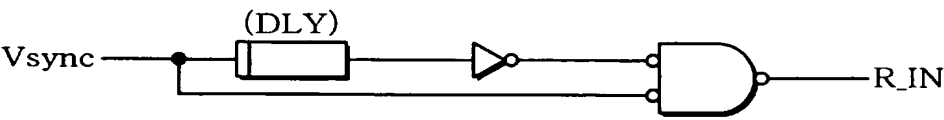
【図 11】



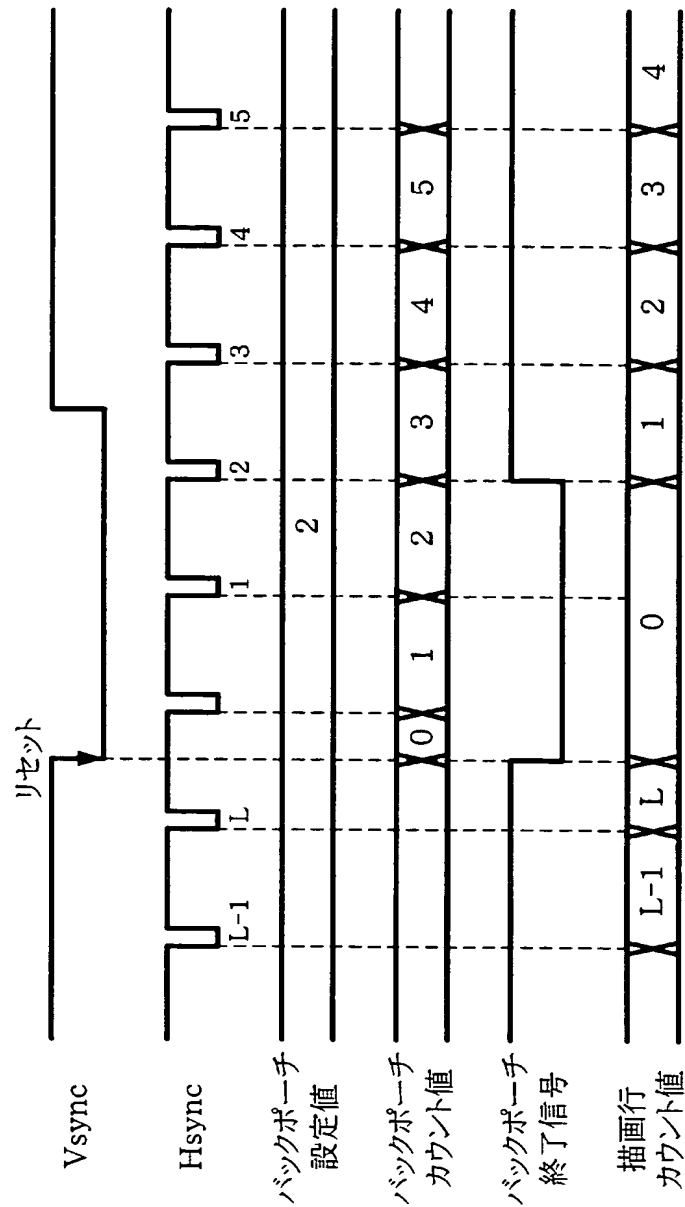
【図 12】



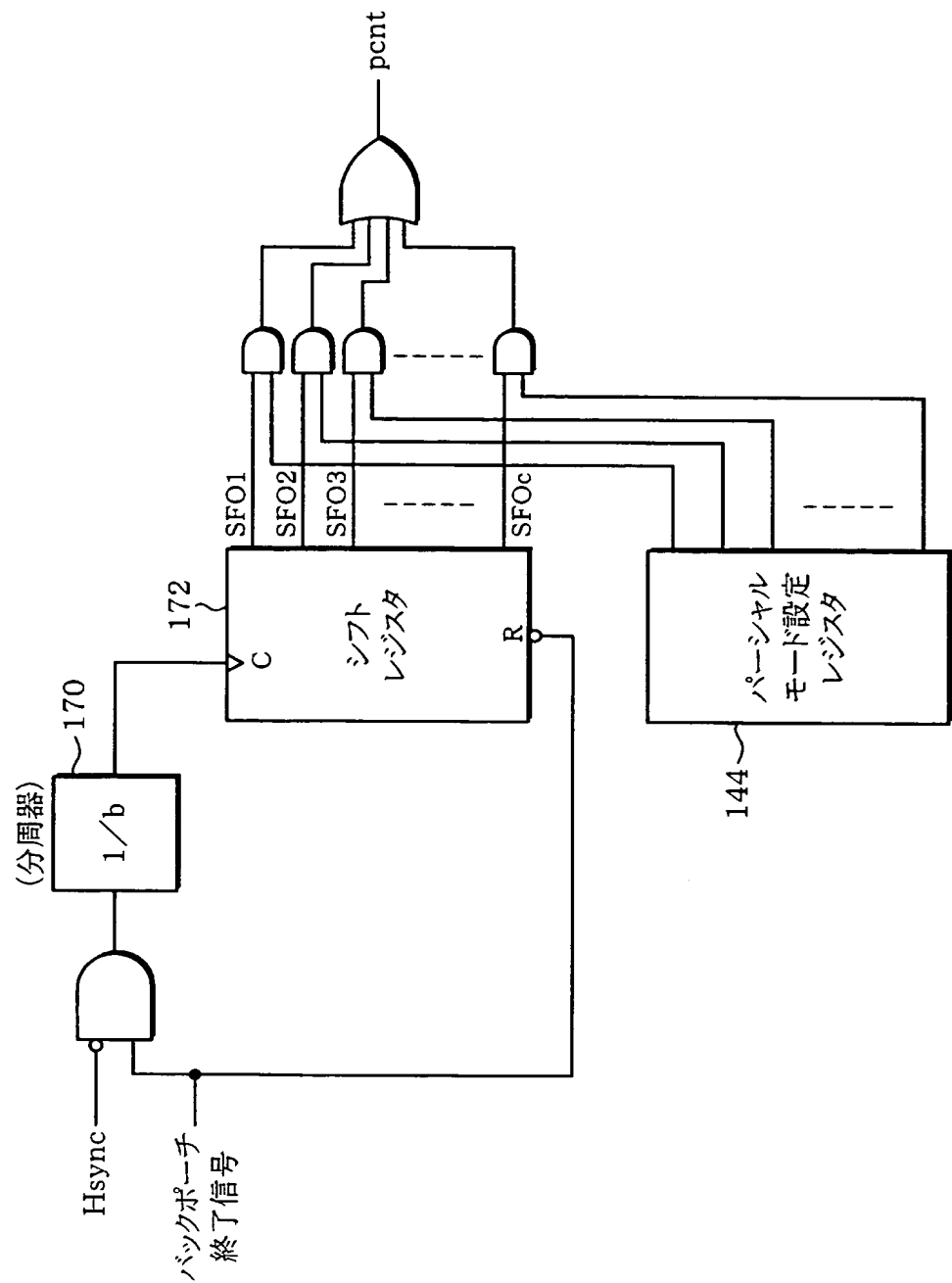
【図 13】



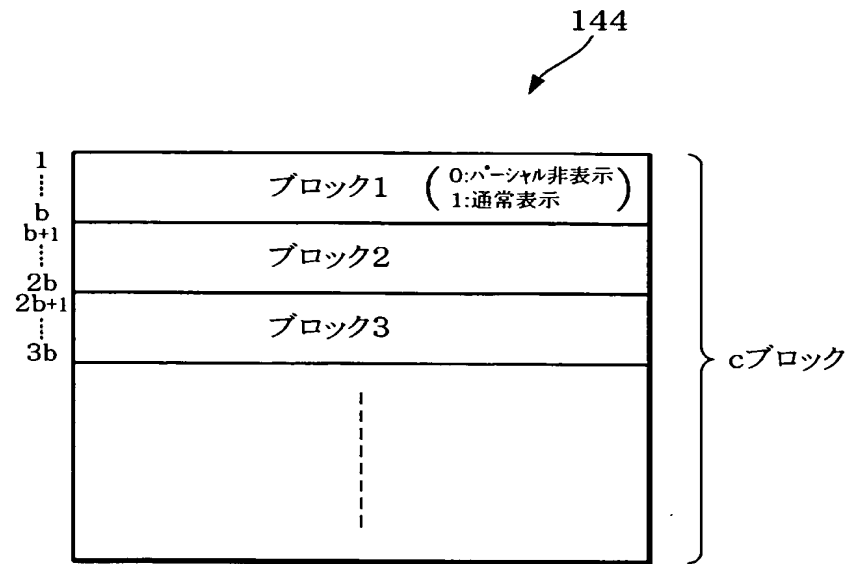
【図 1 4】



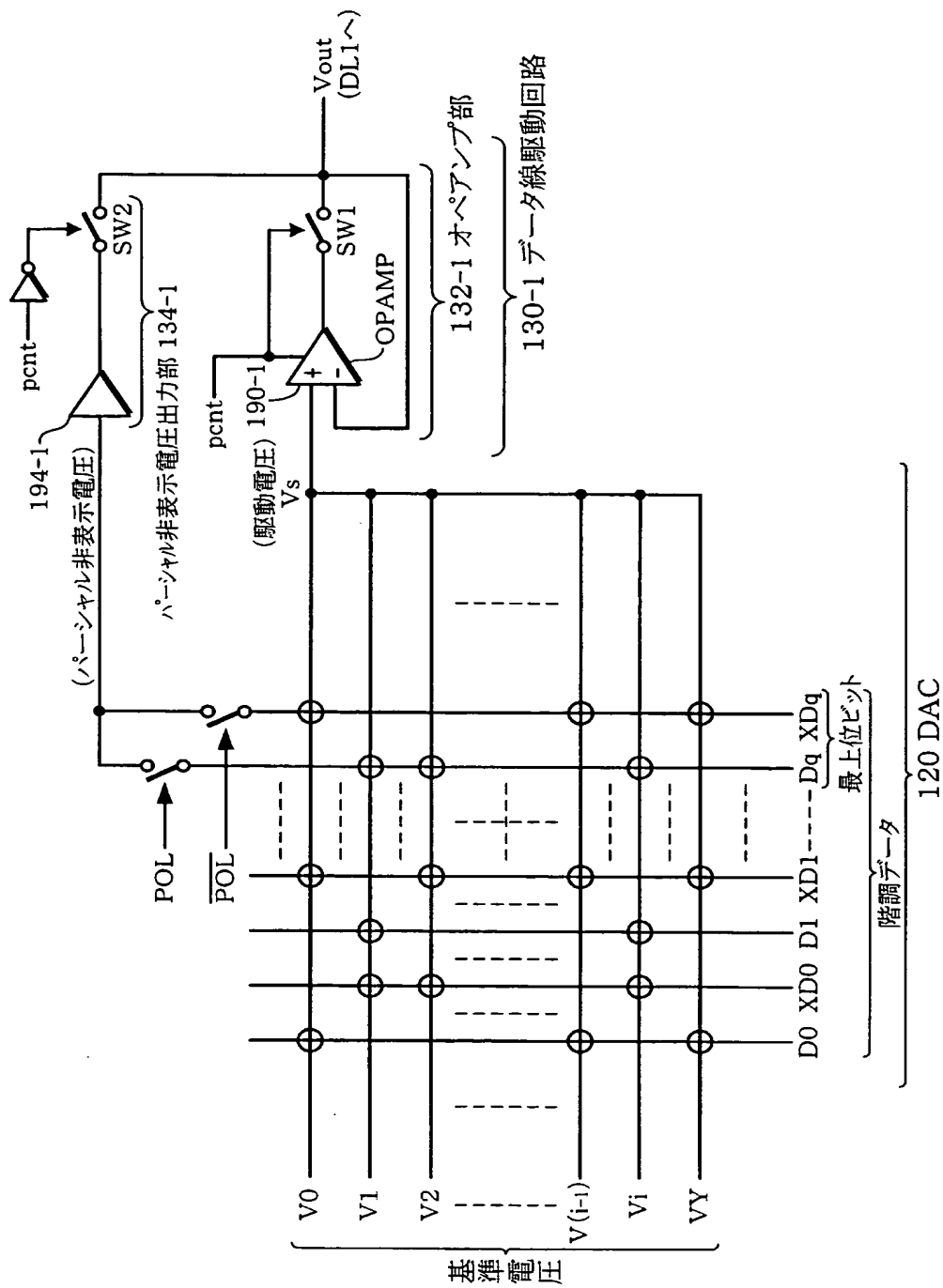
【図 1 5】



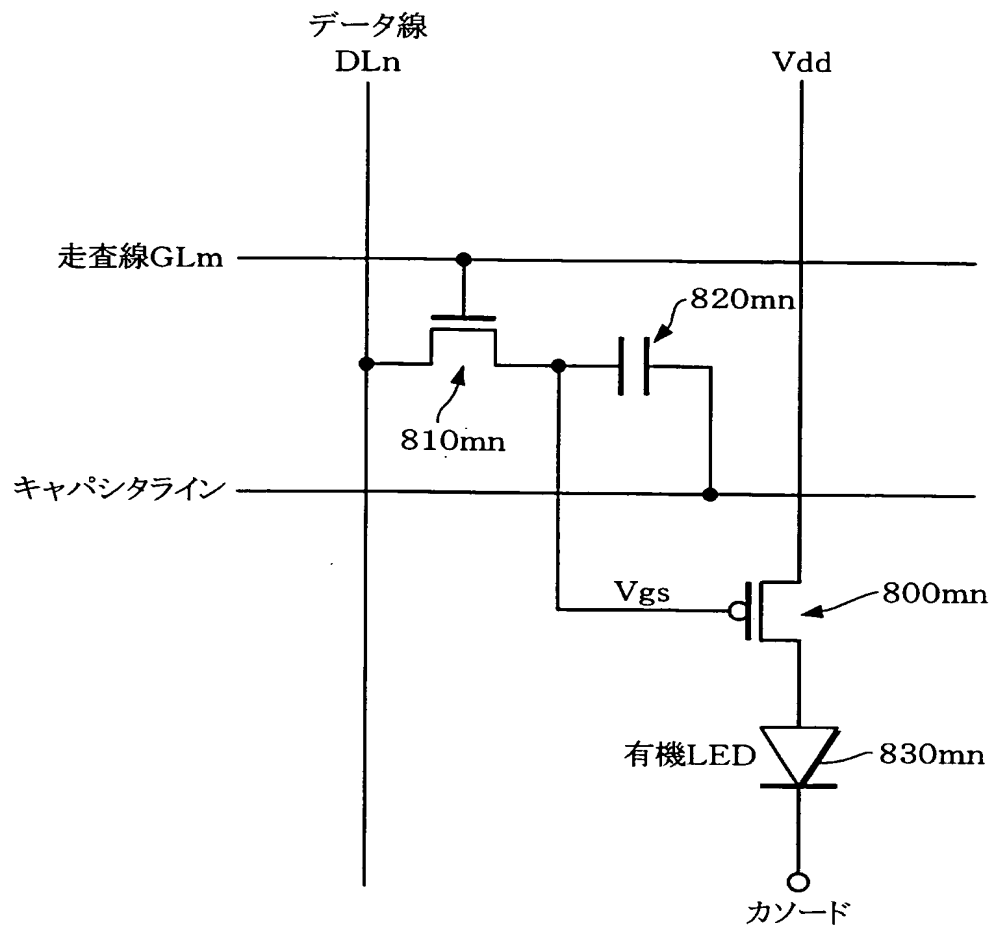
【図 1 6】



【図 17】

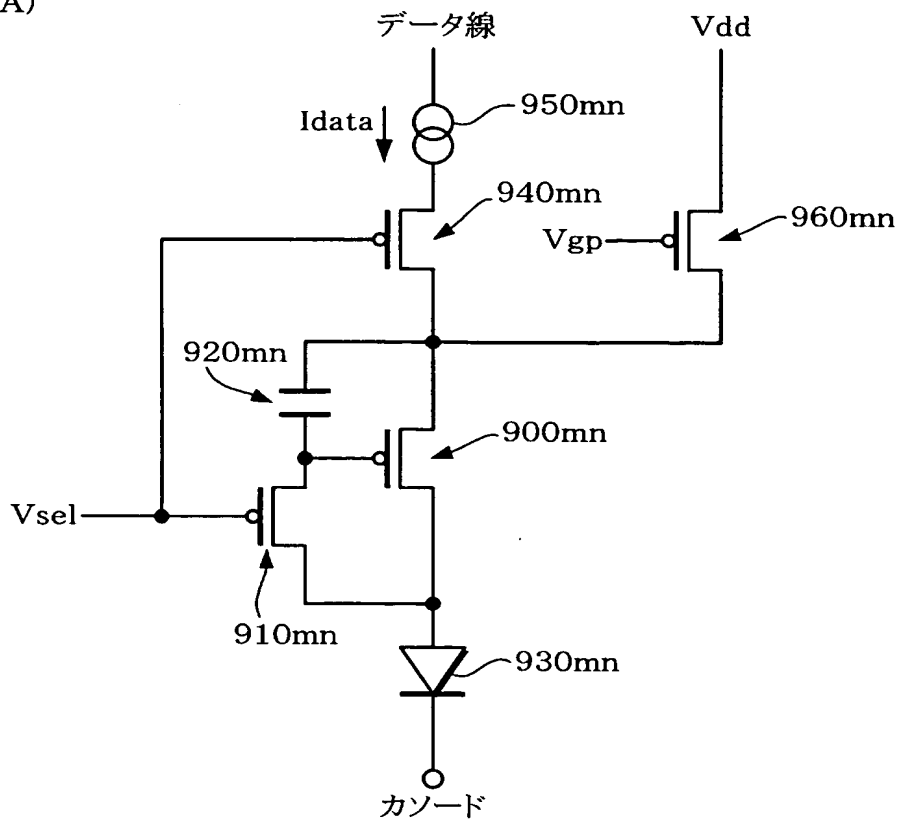


【図 18】

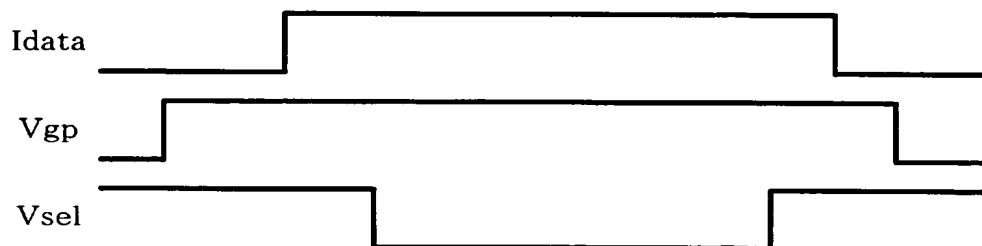


【図 19】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 表示パネルに応じて描画行を把握して横パーシャル表示機能を実現する表示ドライバ、表示装置及び表示駆動方法を提供する。

【解決手段】 表示ドライバは、複数の走査線のうち描画先頭行に対応する走査線を指定するための描画先頭行指定レジスタ 1 4 2 と、複数のデータ線の少なくとも 1 つのデータ線に階調データに対応した駆動電圧を供給する通常表示モード又は少なくとも 1 つのデータ線に所与のパーシャル非表示電圧を供給するパーシャル非表示モードを走査線に対応して設定するためのパーシャルモード設定レジスタ 1 4 4 と、駆動電圧に基づいて少なくとも 1 つのデータ線を駆動するオペアンプ部と、所与のパーシャル非表示電圧に基づいて少なくとも 1 つのデータ線を駆動するパーシャル非表示電圧出力部とを有するデータ線駆動回路 1 3 0 と、データ線駆動回路 1 3 0 を駆動制御するパーシャル表示制御部 1 4 6 とを含む。

【選択図】 図 1 0

特願 2 0 0 3 - 0 2 3 6 6 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社